

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭60-66460

⑮ Int. Cl.<sup>4</sup>

H 01 L 27/08  
29/78

識別記号

102

庁内整理番号

6655-5F  
8422-5F

⑬ 公開 昭和60年(1985)4月16日

審査請求 未請求 発明の数 1 (全3頁)

⑭ 発明の名称 MOS型集積回路装置

⑰ 特 願 昭58-175015

⑱ 出 願 昭58(1983)9月21日

⑲ 発 明 者 岩 松 誠 一

⑳ 出 願 人 株式会社諏訪精工舎

㉑ 代 理 人 弁理士 最 上 務

諏訪市大和3丁目3番5号 株式会社諏訪精工舎内  
東京都新宿区西新宿2丁目4番1号

明 細 書

発明の名称

MOS型集積回路装置

特許請求の範囲

1. NチャネルMOS FETとPチャネルMOS FETを一体として構成したMOS ICに於て、NチャネルMOS FETのチャネル長がサブ・ミクロンで形成されると共にPチャネルMOS FETのチャネル長がNチャネルMOS FETのチャネル長よりも小なる事を特徴とするMOS型集積回路装置。
2. サブ・ミクロンチャネル長のNチャネルMOS FETと前記NチャネルMOS FETのチャネル長より小なるチャネル長を有するPチャネルMOS FETを相補型に構成したCMOS ICを周辺に持ち、内部回路を前記CMOS ICのNチャネルMOS FETのチャネル長より小なるチャネル長を有するPチャネルMOS F

ETで構成する事を特徴とするMOS型集積回路装置。

発明の詳細な説明

本発明はCMOS FETを含むICのチャネル構造に関する。

従来、サブ・ミクロンのチャネル長によるCMOS FETを含むICは、第1図及び第2図に示す如き断面構造、及び構成となっていた。すなわち、第1図ではB1基板1の表面に設けられたP-W 112, N-W 113内表面には各々、拡散層4, 5, ゲート酸化膜6, ゲート電極7からなるNチャネルMOS FETとPチャネルMOS FETが各々Nチャネル長 $L_N$ , Pチャネル長 $L_P$ として $L_N \neq L_P$ とほぼ等しいチャネル長で、 $0.8 \mu m$ 程度のチャネル長のものが製作されていた。更に、第2図の如く、ドライバ、センス・アンプ等を周辺にCMOS IC 11, 12で持ち、内部をN-MOS IC 13で構成されたメモリからなる半導体記憶装置等が各々の

Nチャネル長及びPチャネル長がほぼ同じ $0.8\mu m$ 程度で構成されるのが通例であった。

上記の如く、従来技術ではNチャネルMOS FETとPチャネルMOS FETを同一基板上にチャネル長をサブ・ミクロンで作成する場合にNチャネル長とPチャネル長をほぼ同じに設定するのは、NチャネルMOS FETのチャネル長を $0.8\mu m$ 以下にすると例えば5V電源でIOを使用する場合にホット・エレクトロンがゲート酸化膜に捕獲され易くなり、これ以上のチャネル長の低減が不可能な事及びサブ・ミクロン加工では加工線巾を統一した方が加工し易い等の理由による。

しかし、上記従来技術によると、NチャネルMOS FETとPチャネルMOS FETを同一基板上に作成する場合に集積度の向上が計れず、且つ全体のチャネル長を小さくするとNチャネルMOS FET部が信頼度を劣化させる原因となる等の欠点があった。

本発明は、かかる従来技術の欠点をなくし、N

チャネルMOS FETとPチャネルMOS FETを同一基板上に作成する場合にも高い信頼度で且つ高集積度の計れるMOS FETのチャネル構造を提供することを目的とする。

上記目的を達成するための本発明の基本的な構成はMOS型集積回路装置に関し、NチャネルMOS FETとPチャネルMOS FETを一体として構成したMOS ICに於て、NチャネルMOS FETのチャネル長がサブ・ミクロンで形成されると共に、PチャネルMOS FETのチャネル長がNチャネルMOS FETのチャネル長よりも小なる事を特徴とする。

以下、実施例により本発明を詳述する。

第3図は本発明の一実施例を示すMOS型半導体装置の断面図である。すなわち、81基板21の表面にはP-W $\phi$ 1122, N-W $\phi$ 1123が形成され、それぞれのW $\phi$ 11内表面には拡散層24, 25, ゲート酸化膜26, ゲート電極27が形成され、NチャネルMOS FETとPチャネルMOS FETが構成され、各々のMOS

FETのNチャネル長 $L_N'$ , Pチャネル長 $L_P'$ は $L_N' > L_P'$ の形でPチャネル長 $L_P'$ は $1\mu m$ 以下のNチャネル長 $L_N'$ より小で且つ望ましくはNチャネルMOS FETとPチャネルMOS FETのチャネル移動度が約2対1であるところから、 $L_P'$ は $L_N'$ の $\frac{1}{2}$ 以下( $2L_P' \leq L_N'$ )であると、回路としての動作速度が劣化しないという特徴もでる。

第4図は本発明の他の実施例を示す半導体IOの構成例で、デコーダ及びセンス・アンプ等を含む周辺COMOS IO31, 32と内部記憶回路をP-MOS FETで構成したP-MOS IO部33からなる集積回路であり、P-MOS IO部をチャネル長の極めて小さい( $1\mu m$ 以下 $0.1 \sim 0.5\mu m$ 程度)状態で作成したものである。

本発明の基本はNチャネルMOS FETはホット・エレクトロンの捕獲現象に制限されてチャネル長の縮小が困難であるのに対し、PチャネルMOS FETはホット・エレクトロンの発生が極めて小であるためチャネル長の縮小が容易である

ことに起因し、該PチャネルMOS FETを縮小して用いることによりCOMOS IC等の集積度の向上、信頼度の向上および高速化も計れる効果がある。

本発明は周辺出力部にNチャネルMOS FETによる出力トランジスタを設けたドライバー用COMOS IC等の出力段トランジスタをサブ・ミクロンチャネル長のPチャネルMOS FETを用いる等の場合にも適用できることは云うまでもない。

#### 図面の簡単な説明

第1図は従来技術のCOMOS ICの断面図、第2図は従来技術の周辺COMOS ICの回路ブロック図、第3図は本発明の一実施例を示すCOMOS ICの断面図、第4図は本発明の他の実施例を示す周辺COMOS ICの回路ブロック図である。

1, 21...81 基板

2, 22...P-W $\phi$ 11

3, 23 ... N-W 11

4, 5, 24, 25 ... 拡散層

6, 26 ... ゲート酸化膜

7, 27 ... ゲート電極

11, 12, 31, 32 ... 周辺O-MOS回路

路ブロック

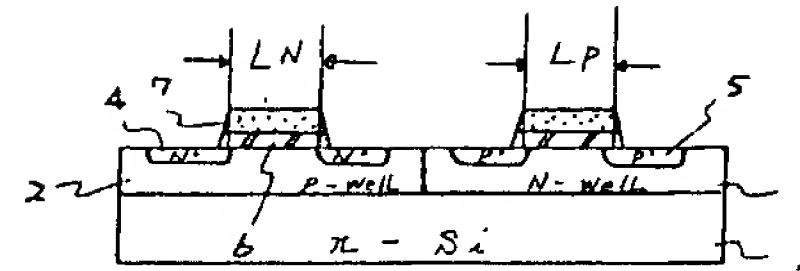
13 ... 内部N-MOS回路ブロック

33 ... 内部P-MOS回路ブロック

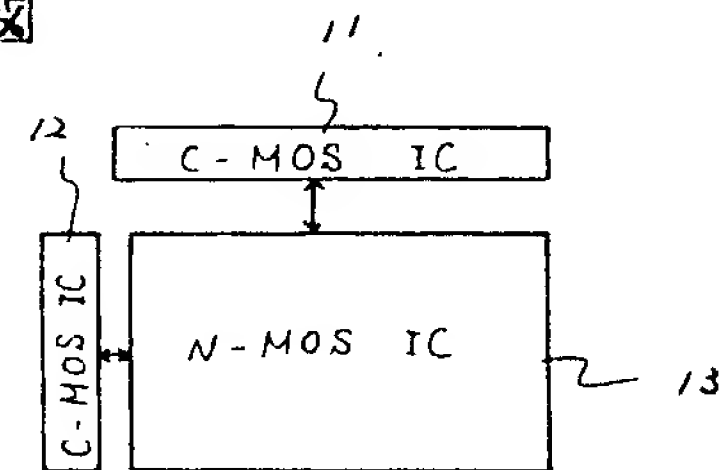
LN, LN' ... Nチャネル長

LP, LP' ... Pチャネル長

第1図



第2図

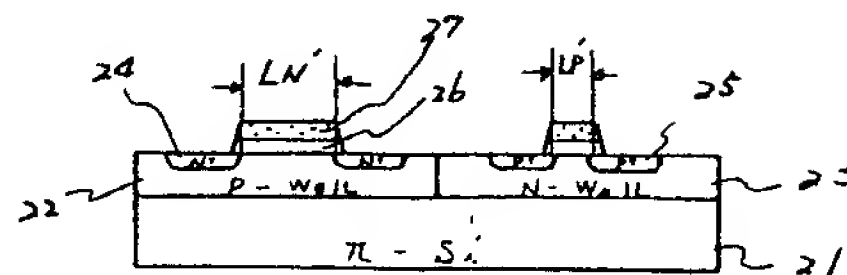


以上

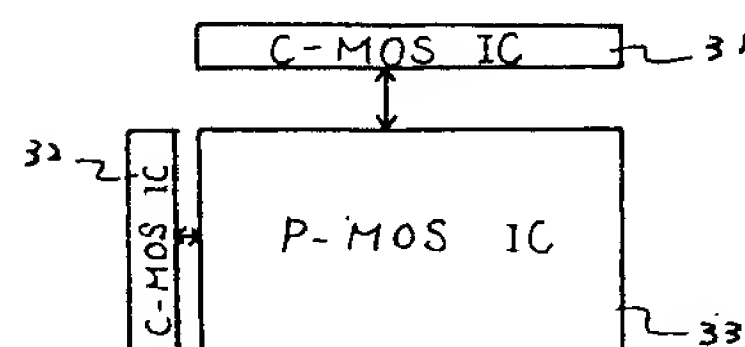
出願人 株式会社 勸業精工舎

代理人 弁理士 最上 務

第3図



第4図





JP60066460

Biblio

Page 1

Drawing



## MOS INTEGRATED CIRCUIT DEVICE

Patent Number: JP60066460  
Publication date: 1985-04-16  
Inventor(s): IWAMATSU SEIICHI  
Applicant(s): SUWA SEIKOSHA KK  
Requested Patent: ☐ JP60066460  
Application Number: JP19830175015 19830921  
Priority Number(s):  
IPC Classification: H01L27/08; H01L29/78  
EC Classification:  
Equivalents:

### Abstract

**PURPOSE:** To contrive to enhance the degree of integration, to enhance reliability and to make an MOS IC to act at a high speed at the MOS IC constructed by integrating an N-channel MOS FET and a P-channel MOS FET in one body by a method wherein P-channel length is made smaller than N-channel length.

**CONSTITUTION:** A P-well 22 and an N-well 23 are formed on the surface of an Si substrate 21, and diffusion layers 24, 25, gate oxide films 26 and gate electrodes 27 are formed to construct an N-channel MOS FET and a P-channel MOS FET. N-channel length  $LN'$  and P-channel length  $LP'$  of the respective MOS FETs are made as  $LN' > LP'$ . Because generation of hot electrons in the P-channel MOS FET is extremely small, to reduce channel length is easy, and the P-channel MOS FET can be formed in a small type.

Data supplied from the esp@cenet database - I2